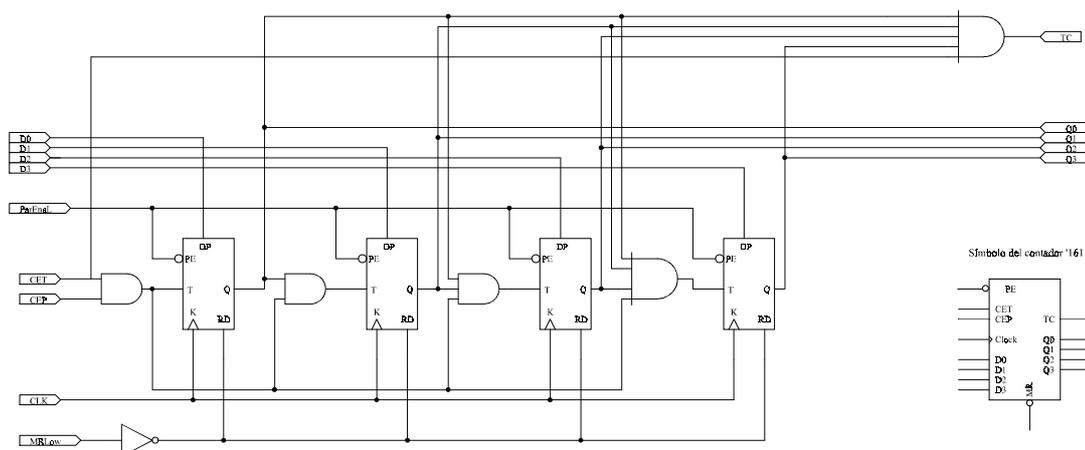


Apéndice C

C.1 Diseño FPGA

La tecnología FPGA permite sintetizar un circuito lógico de alta densidad, programando el dispositivo con el diseño propuesto, en la misma placa de montaje. Estos dispositivos están constituidos por una matriz de bloques lógicos y bloques de entrada-salida como interfaz entre el mundo exterior y el interior del dispositivo. Cada bloque lógico contiene funciones lógicas programables y flip-flops que permiten



bloques lógicos forman un arreglo de filas y columnas que se conectan entre sí, o a los bloques de entrada-salida mediante diferentes tipos de conexión [61].

C.1.1 Síntesis de contadores

Para la implementación del temporizador de cuatro tiempos y el contador de

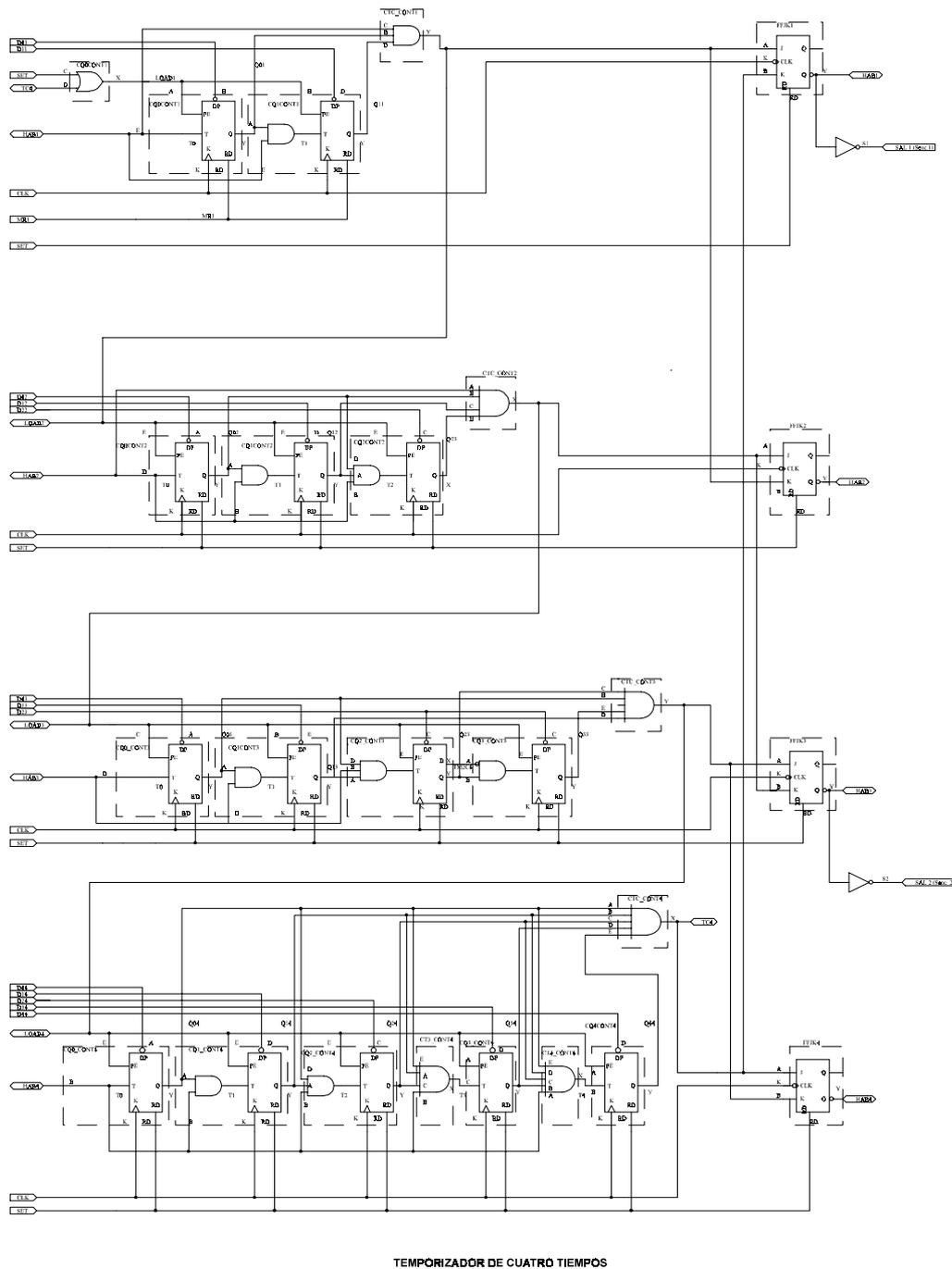


Figura C.6: Circuito temporizador de cuatro tiempos implementado en FPGA

barrido hemos elegido, el contador binario tipo ‘161 disponibles en las librerías de Xilinx para la familia de dispositivos XC3000. Este contador de 4 bit programable es sincrónico y de alta velocidad. El esquema lógico del contador disponible en la librería se muestra en la fig. C.5. Vemos la entrada de datos paralelos $D0-D3$ controlada por la línea de carga de datos PE (*parallel enable*), en forma socrónica. Para inhibir la cuenta del contador se emplean las líneas CEP (*counte enable parallel*) o CET (*counte enable trickle*). Cuando el contador alcanza el máximo valor, aparece un pulso sobre TC (*terminal count*) sí CET está en nivel alto. La línea RM (*master reset*) pone en cero la salida del contador en forma asincrónica. Por último vemos las salidas del contador $Q0-Q3$.

Para nuestra aplicación hemos modificado la estructura del contador adaptando a éste al tamaño requerido por cada un de los contadores a sintetizar.

En la fig.C.6 se muestra el circuito lógico del temporizador de cuatro tiempos que implementado en el FPGA. De arriba hacia abajo, se observan los contadores C1 a C4 y los flip-flops asociados a cada uno de ellos. Las funciones lógicas de cada bloque están detalladas en [88]. La estructura básica de cada contador es similar a la de la fig. C.5. El

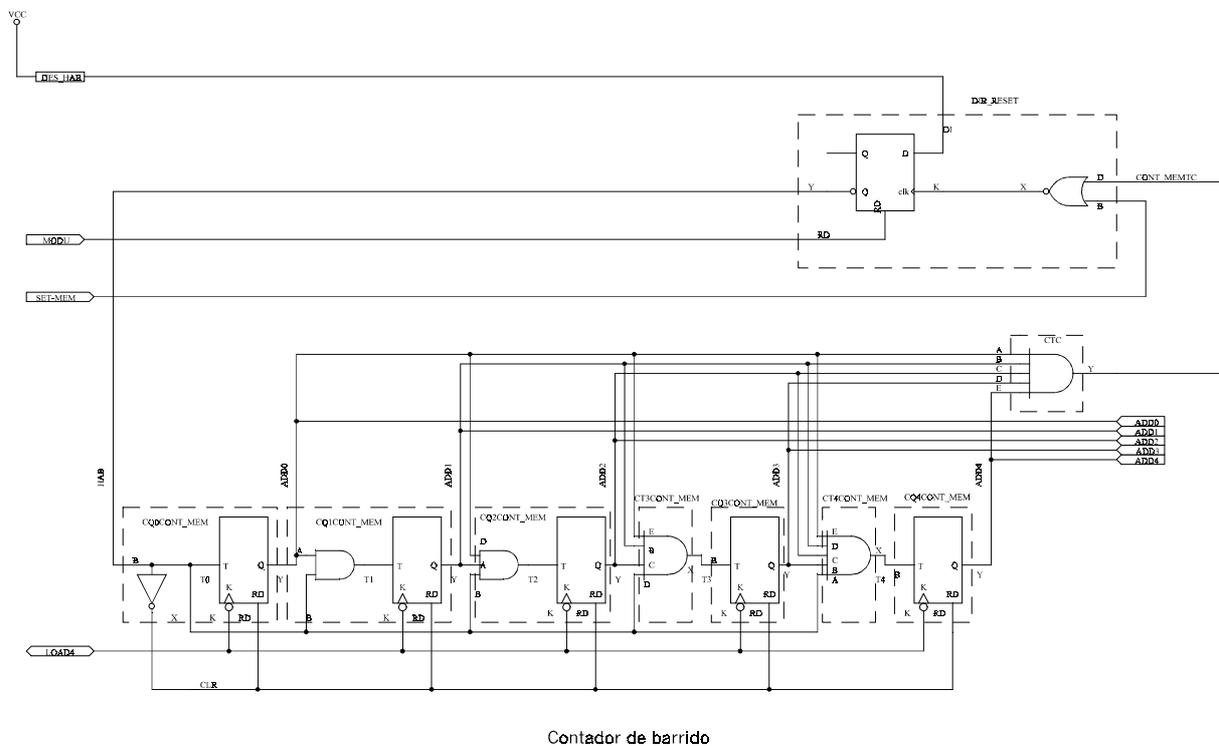


Figura C.7: Contador de barrido implementado en FPGA

C1 está reducido a un contador de dos bits como hemos diseñado en el capítulo 5 y

como podemos observar, hemos simplificado el uso de algunas líneas de control. Lo mismo podemos ver de los contadores C2 y C4 que deben ser contadores de tres y cinco bits, respectivamente. El contador C3 también es de dos bits como C1 pero funciona como un contador de cuatro bits solo en el primer ciclo de funcionamiento del temporizador. Cuando el temporizador inicia la secuencia, todos los contadores (C1 a C4) comienzan a contar a la vez, desde su valor programado. Tanto C1 como C3 (si C3 es de dos bits), finalizan antes que C2 y C4 dando una secuencia de pulsos S1 y S3 (al mismo tiempo) -S2-S4 en vez de S1-S2-S3-S4, como vimos en el capítulo 5 (fig. 5.10). Por esta razón si el contador C3 es de mayor tamaño que el contador C2, finaliza C3 después de C2 en el primer ciclo del temporizador. Así la secuencia resulta como la de la fig 5.10. Una vez que se inicio la secuencia del temporizador el contador C3 funciona como contador de dos bits.

El contador de barrido implementado en el FPGA se observa en la fig.C.7. Este contador esta realizado en cinco bits, para barrer la cuenta desde cero hasta treinta como hemos diseñado en el capítulo 5. Podemos apreciar también un circuito lógico que deshabilita al contador cada vez que éste llegue a su máximo valor de cuenta [88]. Es habilitado cuando un cambio de símbolo esta presente en la entrada del modulador, línea *MODU*. Las salidas *ADD0* a *ADD4* del contador son las posiciones de la tabla para los tiempos t_4 . Mientras no exista señal de modulación el contador de barrido está estático y el tiempo t_4 corresponde a la portadora sin modular. Cuando aparece una señal de modulación, el contador comienza a contar desde cero barriendo todas las posiciones de la tabla de datos en donde se encuentran los valores de t_4 , correspondientes al perfil deseado para la modulación BPSKE.