

# Capítulo 5 **Amplificador de RF con CMRC modulado**

---

## **5.1 Introducción**

Como hemos visto en el capítulo 1 es de nuestro interés transmitir datos de telemetría con los errores de posición en un sistema DGPS, para el trazado de mapas catastrales. Para esto desarrollamos un transmisor en la banda de radiofaros marítimos que abarca de 285 a 325 KHz. El diseño del transmisor implica diseñar la etapa amplificadora de la señal a transmitir (amplificador de potencia) y la etapa de acondicionamiento de la señal o modulador de señal. Ya hemos analizado y desarrollado en los capítulos previos, el empleo de un CMRC con filtro pasa bajos en estructura “T” como amplificador de potencia de RF, en la banda de medias y bajas frecuencias. Nos resta ver cómo incorporar la modulación de la portadora con la señal de telemetría.

La transmisión de los errores de posicionamiento del sistema DGPS en la banda de medias frecuencias está en práctica en países Europeos y por la Guardia Costera de los EE.UU (*United State Coast Guard*, USCG), en el uso de servicios marítimos. Este sistema DGPS en medias frecuencias resulta muy conveniente en la banda de radio faros dando origen al sistema “*DGPS-radiofaro*” [8][58]. DGPS-radiofaro está teniendo creciente importancia en la radionavegación marítima. La implementación del

servicio DGPS-radiofaro debe tener en cuenta que el servicio de radio navegación es un servicio seguro, y como tal requiere de protección contra interferencias. Por esta razón es importante la existencia de normas que especifiquen básicamente protección contra interferencias de canales vecinos al radiofaro, asignación de espacio en la banda, garantías de cobertura de transmisión en presencia de ruido atmosférico y de onda ionosférica, etc. Los organismos [9][10] asignan frecuencias en múltiplos de 500Hz para la transmisión DGPS-radiofaro. Además la ITU (*International Telecommunication Union*) [9] recomienda el tipo de modulación para lograr transmitir el 99% de la potencia de señal, en un ancho de banda entre 200 y 230 Hz. También ha confeccionado tablas que dan, sobre el receptor, la máxima interferencia que puede ocasionar DGPS-radiofaro sobre canales vecinos de radiofaro y viceversa.

De los diferentes métodos de modulación de señales digitales [60], la UIT recomienda la modulación por desplazamiento mínimo (*Minimum shift keying*, MSK), caso particular de modulación por desplazamiento de frecuencia (*Frequency shift keying*, FSK). También hay otros métodos derivados del MSK que logran mejoras espectrales para alta tasa de transmisión [59]. En nuestra aplicación deseamos integrar la etapa moduladora al amplificador de potencia. El sistema que permite modular en forma simple a la portadora generada por el CMRC, actuando directamente sobre las llaves del convertidor, con buena relación señal ruido SNR, es la modulación de fase binaria (*Binary Phase Shift Keying*, BPSK). Este sistema es un caso particular de PSK que cambia la fase de la portadora entre 0 y  $\pi$  radianes, de acuerdo al dato binario a transmitir. Aunque con esta modulación resulta un espectro que no cumple con las recomendaciones establecidas para la transmisión en DGPS-radiofaro.

Proponemos desarrollar en este capítulo, BPSK en forma gradual o escalonada para aumentar la atenuación de las bandas laterales que presenta BPSK puro y reducir los efectos de interferencia en bandas de transmisión de radiodifusión. Como la tasa de transmisión recomendada por UIT está entre 50 y 200 bits/seg podemos evitar el cambio abrupto de fase que realiza BPSK sobre la portadora graduando la transición de un símbolo a otro, distribuyéndola entre varios ciclos de portadora. Así, establecemos desplazamientos sucesivos en la fase de la portadora hasta alcanzar un desplazamiento de fase de  $180^\circ$  entre un símbolo y otro.

En este capítulo analizamos y mostramos una implementación de modulación de fase binaria escalonada aplicada sobre un convertidor resonante con enclave de tensión. Comenzamos en la sección 5.2 describiendo, según [60], la modulación de fase BPSK y

sus características espectrales. En la sección 5.3 presentamos la técnica de modulación de fase binaria escalonada BPSKE y su generación. Veremos el diseño y la implementación del modulador para actuar directamente sobre la excitación de las llaves del CMRC, empleando arreglos de compuertas lógicas programables en campo (FPGA). Finalmente en la sección 5.4 presentamos los resultados obtenidos sobre el prototipo experimental del transmisor.

## 5.2 Modulación de fase

En la fig. 5.1 mostramos esquemáticamente un sistema de comunicación digital. Está formado por, el emisor de la señal  $a_n$ , el transmisor que genera la señal  $s_T(t)$ , el receptor de la señal  $r_c(t)$  y el colector de la señal  $\hat{a}_n$ . Como detallamos en la figura, el transmisor está integrado por el conformador de la señal, el modulador de la señal banda base  $s_{bb}(t)$  y el amplificador de potencia de la señal modulada  $s_C(t)$ . El emisor de señales es una fuente de símbolos aleatorios  $a_n$ , que contiene la información a transmitir. Esta

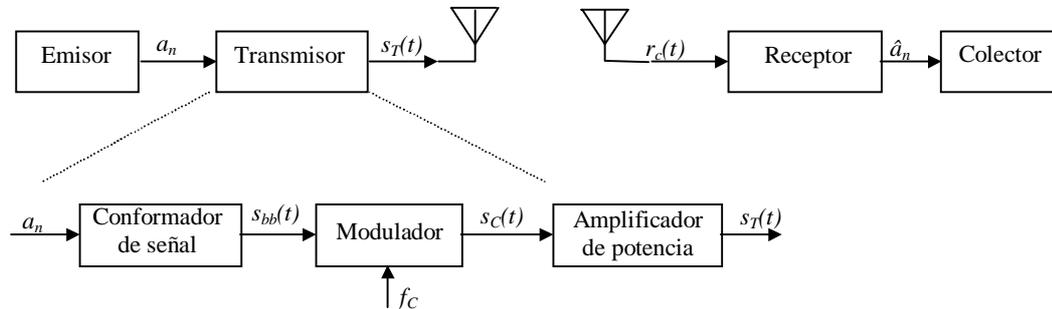


Figura.5.1: Sistema de comunicación digital

señal pasa a través de un bloque conformador dándole a cada símbolo, una forma específica en el tiempo para generar la señal  $s_{bb}(t)$ . El bloque modulador cambia algún parámetro de la señal portadora de frecuencia  $f_c$ , con  $s_{bb}(t)$ . La portadora modulada  $s_C(t)$  transmite la información en un canal diferente al de banda base siendo amplificada en potencia, para compensar las pérdidas que se establecen en el medio de comunicación.

La señal portadora a la salida del modulador puede escribirse de la forma

$$s_C(t) = A \cos(2\pi f_c t + \varphi) \quad (5.1)$$

donde:  $f_c$  es la frecuencia central del canal,  $A$  es la amplitud de la señal portadora y  $\varphi$  es la fase. Cualesquiera de estos parámetros pueden ser modulados por la señal banda base  $s_{bb}(t)$ . En particular nos concentraremos en la modulación de fase PSK, donde la fase de

la portadora varia en forma lineal con la señal banda base  $s_{bb}(t)$  [60]. En PSK (5.1) queda expresada de la siguiente manera

$$s_C(t) = A \cos(2\pi f_c t + K_p s_{bb}(t)) \quad (5.2)$$

donde la fase  $\varphi(t) = K_p s_{bb}(t)$ .

Podemos escribir la señal de banda base  $s_{bb}(t)$  como

$$s_{bb}(t) = \sum_n a_n h(t - nT) \quad (5.3)$$

donde  $a_n$  es un símbolo tomado aleatoriamente de un conjunto de  $M$  símbolos, generados por el emisor (fig. 5.1) cada  $T$  segundos y  $h(t)$  es una función temporal denominada función de forma que le da forma temporal al símbolo.

Si  $h(t)$  es igual a la función pulso unitario  $u_T(t)$ , de duración  $T$ , esta función de forma corresponde a una señalización NRZ (Non return to zero). El valor que toma  $s_{bb}(t)$  en el  $n$ -ésimo intervalo de tiempo  $[nT, (n+1)T]$ , vale

$$s_{bb}(t) = a_n h(t - nT) \quad (5.4)$$

y el valor de la fase de la portadora en la mitad del intervalo  $t_n = nT + 0,5T$ , siendo que la amplitud de  $h(t)$  es unitaria, será

$$\varphi(t_n) = K_p a_n \quad (5.5)$$

Dado que la fase es de módulo  $2\pi$ , todos los valores de  $\varphi(t_n)$  pueden representarse en un círculo. Suponiendo que estos valores están uniformemente distribuidos sobre él, entonces el valor de  $K_p$  es

$$K_p = \frac{2\pi}{M} \quad (5.6)$$

para un conjunto de símbolos  $A_0 = \{0, 1, 2, \dots, (M-1)\}$  o  $A_I = \{1, 2, 3, \dots, M\}$ . Y  $K_p$  toma el valor

$$K_p = \frac{\pi}{M} \quad (5.7)$$

para el conjunto de símbolos  $A_{\pm} = \{\pm(2m-1), m = 1, 2, \dots, M\}$ .

### 5.2.1 Modulación de fase binaria

También podemos expresar (5.1) como parte real de una señal de modulación compleja con envolvente compleja  $s_M(t)$  [60], de la forma

$$s_C(t) = \text{Re}\{s_M(t)e^{j(2\pi f_c t)}\} \quad (5.8)$$

Si observamos la expresión de la señal modulada  $s_C(t)$  dada por (5.8), es igual a (5.2), si expresamos a  $s_M(t)$  (teniendo en cuenta (5.3)), como

$$s_M(t) = Ae^{j\left\{K_p \sum_n a_n h(t-nT)\right\}} \quad (5.9)$$

En el intervalo  $[nT, (n+1)T]$ ,  $s_M(t)$  vale

$$s_M(t) = Ae^{j\left\{K_p a_n h(t-nT)\right\}} u(t-nT) \quad (5.10)$$

Si  $h(t)$  es NRZ, su amplitud es unitaria. Esto permite re-escribir  $s_M(t)$ , en el intervalo de tiempo  $n$ , del siguiente modo

$$s_M(t) = Ae^{j\left\{K_p a_n\right\}} u(t-nT) \quad (5.11)$$

Denominamos símbolo complejo al factor exponencial  $\tilde{a}_n = e^{jK_p a_n}$ , entonces  $s_M(t)$  queda expresada por

$$s_M = A\tilde{a}_n u(t-nT) = A\tilde{a}_n h(t-nT) \quad (5.12)$$

Tomando todos los instantes de tiempo,  $s_M(t)$  resulta

$$s_M(t) = A \sum_n \tilde{a}_n h(t-nT) \quad (5.13)$$

donde la sumatoria

$$\sum_n \tilde{a}_n h(t-nT) \quad (5.14)$$

es la nueva señal banda base compleja [60]. La ec. (5.13) expresa que la señal moduladora (o envolvente compleja), posee una relación lineal con la señal de banda base. Con este resultado y teniendo en cuenta (5.8) podemos decir que, empleando funciones de forma NRZ en PSK es posible estudiar, este método de modulación no lineal, cómo un método de modulación lineal.

En una señal digital se transmiten “1” lógicos o “0” lógicos, por lo tanto podemos reducir esta señal a un conjunto de símbolos binarios como por ejemplo  $A_0 = \{0, 1\}$  y de este modo tenemos:  $a_n = 0$  o  $a_n = 1$ ,  $M=2$ , por lo tanto

$$K_p = \pi$$

De la ec.(5.5) el valor de fase que le corresponde a cada símbolo binario es: fase  $0^\circ$ , para un “0” lógico y fase  $180^\circ$  para un “1” lógico, respecto de la fase de la portadora.

En este caso los símbolos complejos  $\tilde{a}_n = e^{jK_p a_n}$  toman los siguientes valores:

$$\tilde{a}_n = e^{j\pi \cdot 0} = 1 \quad \text{para } a_n = 0$$

y 
$$\tilde{a}_n = e^{j\pi} = -1 \quad \text{para } a_n = 1$$

Por lo tanto la señal modulada  $s_M(t)$  resulta

$$s_M(t) = A \sum_n \pm u_T(t - nT) \quad (5.15)$$

y la portadora modulada es

$$s_C(t) = \left\{ A \sum_n \pm u_T(t - nT) \right\} \cos(2\pi f_C t) \quad (5.16)$$

La señal de la ec. (5.16) es denominada modulación de fase binaria (Binary Phase Shift Keying, BPSK) [60], en dónde un “0” lógico corresponde a corrimiento nulo de la fase respecto de la portadora y un “1” lógico corresponde a un corrimiento de  $\pi$  radianes, respecto de la fase de la portadora. Se puede apreciar que la señal portadora está expresada como una forma de onda sinusoidal cuya amplitud está modulada por el producto entre una constante A y una señal que cambia su signo en intervalos enteros de  $T$  segundos.

### 5.2.2 Densidad espectral de potencia de BPSK

La densidad espectral de potencia de la señal de banda base, considerando símbolos independientes, idénticamente distribuidos y equiprobables y para una forma NRZ [60], está dada por

$$H_{bb}(f) = T \text{sinc}^2(\pi f T) \quad (5.17)$$

De los resultados dados en (5.16), la densidad espectral de potencia resultante de la modulación toma la forma

$$H_C(f) = 0,5A \{ H_{bb}(f - f_C) + H_{bb}(f + f_C) \} \quad (5.18)$$

Reemplazando (5.17) en (5.18), tenemos

$$H_C(f) = 0,5AT \{ \text{sinc}^2[\pi(f - f_C)T] + \text{sinc}^2[\pi(f + f_C)T] \} \quad (5.19)$$

En la fig. 5.2 vemos la densidad espectral resultante al modular con BPSK, en donde el cambio de fase entre 0 y 180°, cambia en forma abrupta (NRZ). Aparece un lóbulo principal centrado al rededor de la frecuencia de portadora. El lóbulo principal posee un ancho igual al doble de la tasa de transmisión binaria ( $2/T$ ) y concentra el 90% de la información de la señal. Aparecen también lóbulos laterales, donde el lóbulo secundario presenta un pico aproximadamente 13db por debajo, del pico a frecuencia central (si  $\frac{1}{T} \ll f_C$ ). Si el ancho del canal disponible es exactamente el doble de la tasa de transmisión binaria, deberíamos filtrar el espectro para evitar invadir los canales

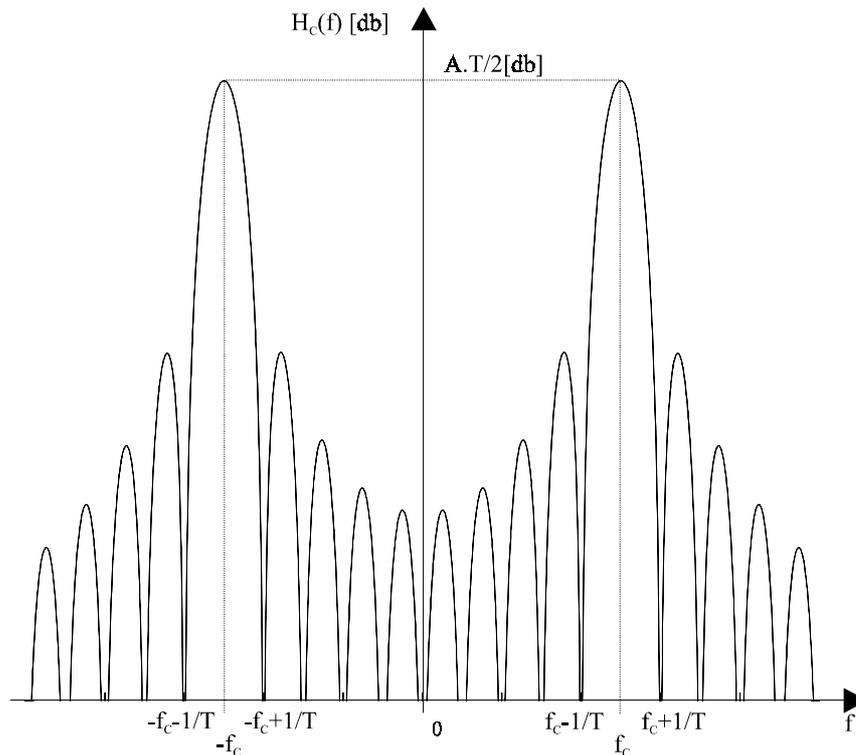


Figura 5.2: Densidad espectral de una señal BPSK

vecinos. Si quisiéramos aumentar la densidad espectral de potencia alrededor de la frecuencia central, es necesario implementar un método de modulación diferente. Para limitar el espectro mediante una mayor atenuación más allá de la frecuencia  $f_c \pm \frac{1}{T}$ , desarrollaremos un método de modulación de fase binario escalonado. En la medida en que la tasa de cambio de bits sea mucho más lenta que la frecuencia de portadora, podríamos reducir el espectro resultante de BPSK, haciendo que la transición en el cambio de fase sea de forma progresiva, empleando varios ciclos de portadora hasta alcanzar el cambio de fase de  $180^\circ$ , correspondiente a un cambio de símbolo.

## 5.3 BPSK Escalonado

Comenzamos analizando el cambio de fase escalonado mediante un ejemplo. Suponemos realizar modulación BPSK, cambiando la fase de la portadora en dos etapas. En cada etapa introducimos un desplazamiento de fase en  $90^\circ$  sobre la fase de la portadora, respecto de la fase original (o de referencia). En la fig. 5.3 representamos tres sinusoides desfasadas  $90^\circ$  entre sí, en la que se indica los instantes  $\tau_1$  y  $\tau_2$ , donde realizamos los cambios de fase. En línea llena identificamos la  $1^{er}$  sinusoide que

supondremos con fase cero y por lo tanto es tomada como fase de referencia. En el instante  $\tau_1$  establecemos un cambio de fase de  $90^\circ$  sobre la portadora. La transmisión se hace a partir de este instante, sobre la 2<sup>da</sup> senoide indicada en trazos, con una fase

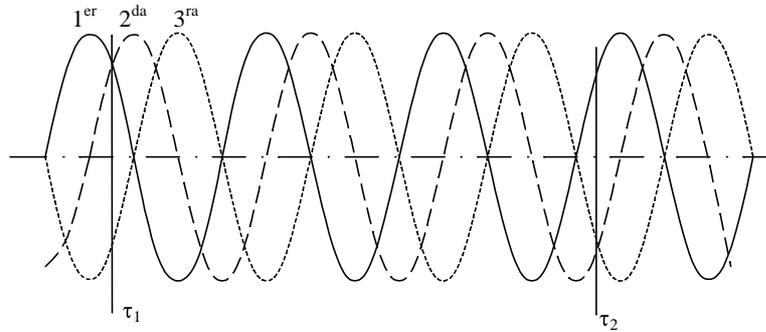


Figura 5.3: Cambio de fase escalonado sobre la portadora

relativa (respecto de la primera) de  $90^\circ$ . Para completar la modulación del símbolo, agregamos un desplazamiento de fase más en  $90^\circ$ , que podemos realizar en el próximo ciclo de portadora o en ciclos posteriores. En el instante  $\tau_2$  hacemos el último cambio de fase. Ahora pasamos a transmitir sobre la 3<sup>er</sup> senoide, indicada en línea punteada. Se aprecia en la fig. 5.3 que la fase final de la portadora es opuesta a la fase de referencia. Podríamos agregar más etapas o escalones para generar el cambio de fase total, introduciendo mayor suavidad en la transición entre la fase inicial y la fase final. A este modo de generar BPSK sobre la portadora, lo denominamos modulación de fase binaria en forma escalonada BPSKE.

### 5.3.1 BPSKE sobre un convertidor con enclave de tensión

Como hemos visto en el capítulo 4, el amplificador de potencia es implementado con un CMRC con filtro “T”, que volvemos a mostrar en la fig. 5.4. También podemos observar en la figura dos señales  $E1$  y  $E2$  que establecen la secuencia de excitación de las cuatro llaves del convertidor, formadas por  $M_1$  a  $M_4$ . La excitación  $E1$  está aplicada directamente sobre  $M_1$ , mientras que su complemento está aplicada a  $M_2$ . Lo mismo ocurre con  $E2$  aplicada a  $M_4$  y su complemento a  $M_3$ . Recordemos que el convertidor conmuta a una frecuencia igual a la de portadora  $f_s = \frac{1}{T_C}$ , generando a la salida del

filtro una forma de onda sinusoidal con muy bajo contenido armónico. Hemos visto que esto se logra con un adecuado ancho de impulso de la tensión  $v_{ab}$  a la entrada del filtro.

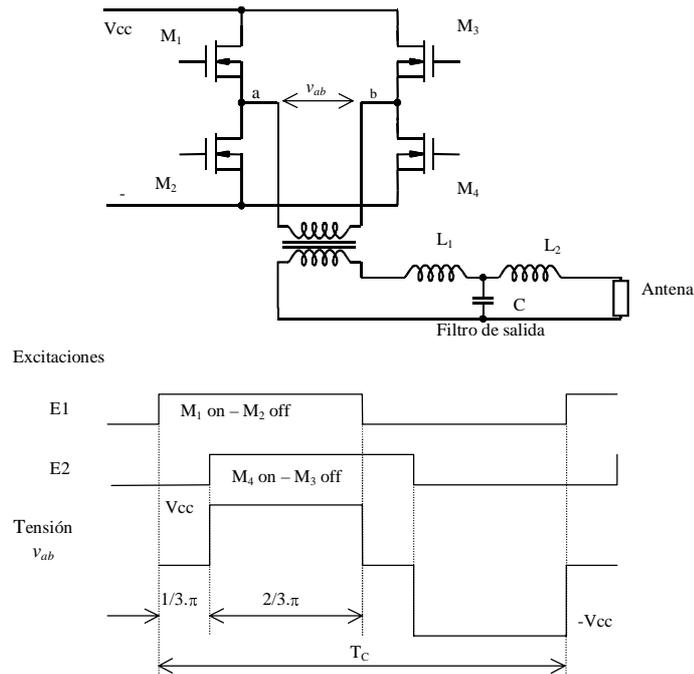


Figura 5.4: Amplificador de potencia

En la fig. 5.4 observamos que ajustando la fase relativa entre  $E1$  y  $E2$  en  $\frac{1}{3}\pi$ , generamos un forma de onda cuasi-cuadrada  $v_{ab}$ , sin componentes de tercer armónico ni sus múltiplos. La señal portadora generada con el CMRC resulta de filtrar la tensión  $v_{ab}$ , obtenida de la conmutación de las llaves. Por lo tanto para poder realizar modulación de fase en este tipo de amplificador de potencia, es necesario actuar sobre la secuencia de excitación de las llaves del convertidor.

El cambio de fase de la portadora con BPSK, es igual a  $180^\circ$  (equivalente a un retardo de medio período sobre la portadora). Si empleamos BPSK sobre el CMRC, es necesario realizar un desfase de  $\pi$  radianes en las excitaciones  $E1$  y  $E2$ , o en forma equivalente, realizar un retardo de medio período sobre  $E1$  y  $E2$ . De este modo logramos un cambio de fase de  $180^\circ$  sobre la portadora, a la salida del filtro. Si fraccionamos el retardo total ( $T_c/2$ ) sobre  $E1$  y  $E2$  e intercalamos estas fracciones en varios ciclos de la portadora, generamos de esta manera BPSKE sobre el CMRC. Para ver más claramente cómo realizamos BPSKE sobre este amplificador de potencia, tomemos un ejemplo similar al del inciso anterior. También en este caso empleamos dos pasos para el cambio de fase de la portadora, observando como cambia la tensión  $v_{ab}$ .

En la fig. 5.5 mostramos las excitaciones  $E1$ ,  $E2$  y la tensión  $v_{ab}$ , con los retardos aplicados para la generación de BPSKE en dos pasos. En línea de trazos indicamos las

excitaciones y la tensión  $v_{ab}$  sin modular, tomada como referencia de fase. En líneas llenas indicamos los sucesivos pasos de modulación BPSKE propuesta, sobre  $E1$ ,  $E2$  y la tensión  $v_{ab}$ . Supongamos iniciar el proceso de modulación en  $t=\tau_1$ . En este instante introducimos sobre  $E1$  y  $E2$ , un retardo equivalente al desfase de  $90^\circ$ , que se desea para ese período de portadora. Apreciamos que el intervalo de tiempo en que  $M_1$  y  $M_4$  permanecen encendidas (ON), se prolonga durante un tiempo igual a  $\frac{1}{4}$  de  $T_C$ . De este modo establecemos un desfase de  $90^\circ$  en la tensión  $v_{ab}$  con respecto de la tensión sin modular (o con fase cero), como se observa en la fig. 5.5. También vemos que en el próximo ciclo de portadora, no aplicamos ningún retardo en las excitaciones y la tensión  $v_{ab}$  mantiene el desfase relativo respecto de la forma inicial. En el instante  $\tau_2$  se efectúa un nuevo retardo de un  $\frac{1}{4}$  de  $T_C$  sobre  $E1$  y  $E2$ , pero ahora sobre el intervalo de tiempo en que  $M_2$  y  $M_3$  permanecen encendidas. Nuevamente logramos que la tensión  $v_{ab}$  vuelva a desfasarse en  $90^\circ$ , respecto de la forma de tensión anterior. El resultado final es que  $v_{ab}$  (en líneas llenas) queda en contrafase con la forma de onda original de fase cero (línea de trazos). Los tiempos  $\tau_1$  y  $\tau_2$  deben situarse en semi-períodos opuestos de la portadora, para no desbalancear el producto de tiempo-tensión sobre  $v_{ab}$ , evitando así, introducir un valor medio indeseada sobre el transformador de aislamiento (fig. 5.4).

Para desarrollar e implementar BPSKE sobre el CMRC y asumiendo una baja tasa de transmisión respecto de la frecuencia de portadora  $f_C$  (300Khz), adoptamos 15 ciclos

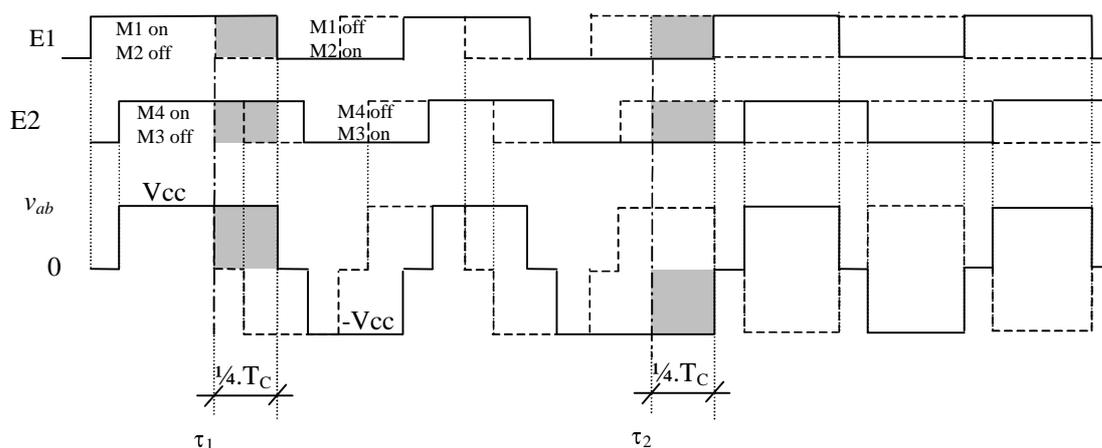


Figura 5.5: Cambios sobre la tensión  $v_{ab}$  con BPSKE

de portadora para cambiar la fase en  $180^\circ$  respecto de la fase original. Así durante la transición de un símbolo a otro, la fase se desplaza en  $12^\circ$  por cada ciclo de portadora, o equivalentemente, en  $6^\circ$  por cada semiciclo de portadora. El desplazamiento de fase en

$180^\circ$  es equivalente a retardar la portadora en un tiempo igual a  $T_C/2$ . El mínimo retardo que debemos introducir en las excitaciones  $E1$  y  $E2$  en cada semiciclo de portadora, es igual a

$$\text{mínimo retardo} = \frac{6^\circ}{180^\circ} \frac{T_C}{2} = \frac{T_C}{60}$$

empleando 15 ciclos de portadora. Para una portadora de 300Khz,  $T_C/60$  es igual a la inversa de la frecuencia de un cristal comercial ( $1/18\text{MHz}$ ).

En la fig. 5.6 representamos el cambio de fase introducido en cada ciclo de portadora en función del número de ciclos. Observamos que a cada ciclo de portadora le corresponde un salto mínimo de fase como se estableció previamente, generando un perfil “lineal” de crecimiento de la fase. Podríamos, si así lo quisiéramos, regular la cantidad de retardo o fase introducida en cada ciclo de portadora, dando lugar a diferentes perfiles de crecimiento de la fase, como ser el coseno elevado.

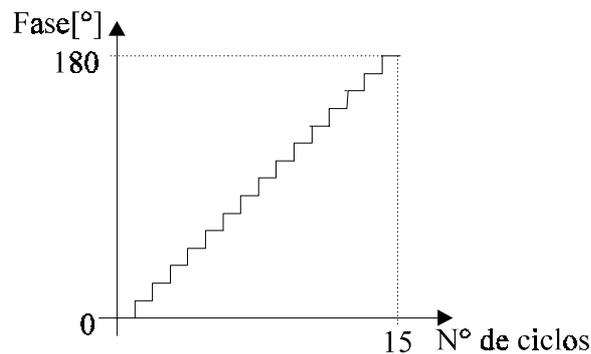


Figura 5.6: Crecimiento lineal de la fase con el número de ciclos

### 5.3.2 Generación de BPSKE

Hemos presentado el modo de realizar BPSKE sobre un CMRC, actuando sobre la secuencia de excitación de las llaves del inversor. Podemos realizar BPSKE agregando retardos sobre los pulsos de tensión  $v_{ab} = \pm V_{CC}$  o sobre los tiempos de enlace de tensión ( $v_{ab}=0$ ). Hacerlo durante el intervalo de tiempo en que están aplicados los pulsos  $\pm V_{CC}$ , pone al CMRC en condiciones más favorables para operar en modo A, durante el cambio de fase de la portadora (cap. 3 y 4). Aumentar el intervalo del pulso, implica aumentar el ciclo de trabajo  $\delta$  en cada ciclo de la tensión  $v_{ab}$ . Por esta razón elegimos los intervalos de pulsos  $v_{ab}$  para generar BPSKE sobre un CMRC.

Antes de ver cómo realizar un esquema lógico para la generación de BPSKE, veamos como son las excitaciones a las llaves del CMRC, para poder integrar el modulador al amplificador de potencia. En la fig. 5.7 presentamos las excitaciones individuales a cada llave del convertidor  $M_1$  a  $M_4$ , junto con la tensión  $v_{ab}$  resultante sin modular. Podemos ver que entre las excitaciones de una misma columna hemos insertado tiempos muertos para evitar excitaciones solapadas que provoquen el

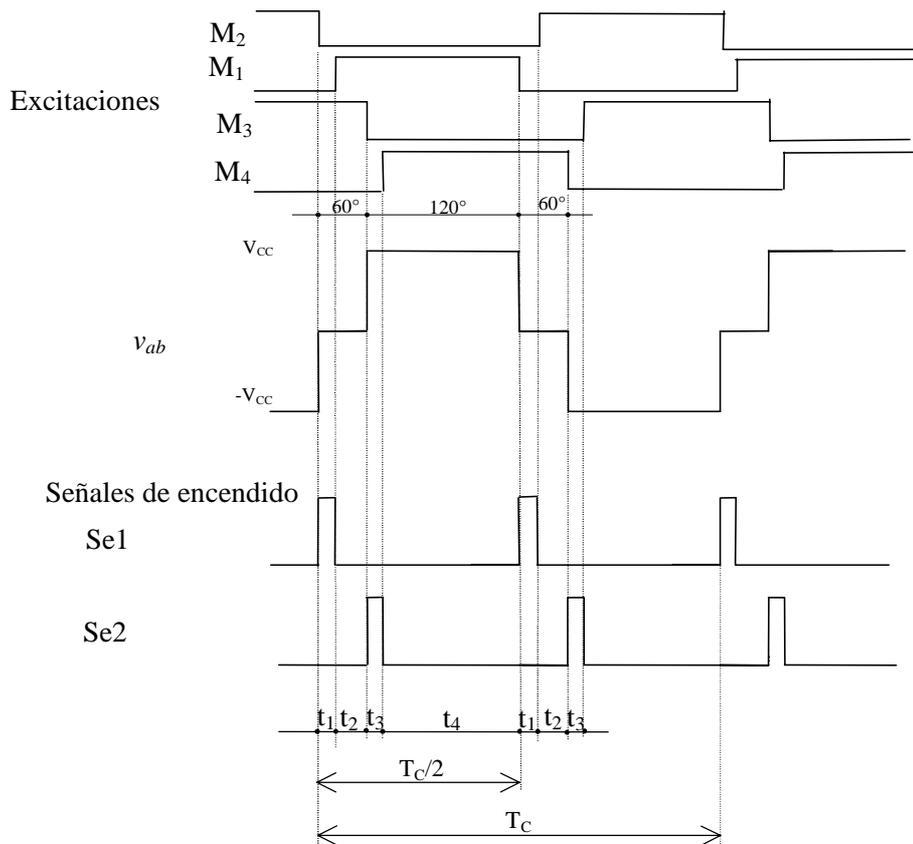


Figura 5.7: Secuencia temporal y señales de encendido

cortocircuito a la fuente, a través de las llaves de una misma columna. En la parte inferior de la fig. 5.7 presentamos dos señales denominadas  $Se1$  y  $Se2$  que determinan el instante en que cada llave del convertidor cambia de estado (de ON a OFF o de OFF a ON). Como vimos en el capítulo 4 (También ver apéndice A) las excitaciones a los MOSFETs son obtenidas mediante un circuito integrado a partir de las señales de encendido  $Se1$  y  $Se2$ . Estas señales son pulsos con una duración adoptada igual al tiempo muerto entre excitaciones, con una frecuencia igual al doble de la frecuencia de portadora y con un desplazamiento entre ambas equivalente a  $T_c/6$ , de acuerdo a lo requerido por los circuitos de excitación de los MOSFETs. Hemos indicado sobre las

señales de encendido, cuatro intervalos de tiempo  $t_1$  a  $t_4$ . Los intervalos  $t_1$  y  $t_3$  establecen el ancho del pulso a cada señal de encendido, respectivamente. La suma  $t_1$  más  $t_2$  corresponde al tiempo en que la tensión  $v_{ab}$  es cero,  $T_c/6$ . Mientras que  $t_3$  más  $t_4$ , es el tiempo correspondiente al pulso de tensión  $+V_{cc}$  o  $-V_{cc}$  sobre  $v_{ab}$ . Como veremos en lo que sigue las señales  $Se1$  y  $Se2$  son generadas por el modulador BPSKE. Éste modulará sobre el valor de tiempo  $t_4$ .

### 5.3.2.1 Esquema y funcionamiento del modulador

El modo de realizar BPSKE sobre el CMRC es aumentando la duración de los pulsos de tensión de  $v_{ab}$ , en cada semiciclo de portadora. Por lo tanto la manera de introducir retardos durante este intervalo de tiempo será a través de la variación del intervalo de tiempo  $t_4$  en la fig. 5.7. El modulador BPSKE empleado en el CMRC deberá generar las señales de encendido  $Se1$  y  $Se2$ , que contiene la información del tiempo  $t_4$ . En la fig. 5.8 observamos el esquema en bloques del *modulador BPSKE* propuesto. Éste está formado por cuatro contadores C1 a C4 que forman el *temporizador de cuatro tiempos*  $t_1$  a  $t_4$  programable, una tabla donde se almacenan los valores de tiempos  $t_4$  y un contador denominado *barredor*, que selecciona secuencialmente los valores de tiempos  $t_4$ . Cada contador C1 a C4 del temporizador, está programado con los tiempos  $t_1$  a  $t_4$  respectivamente. Comencemos con el contador

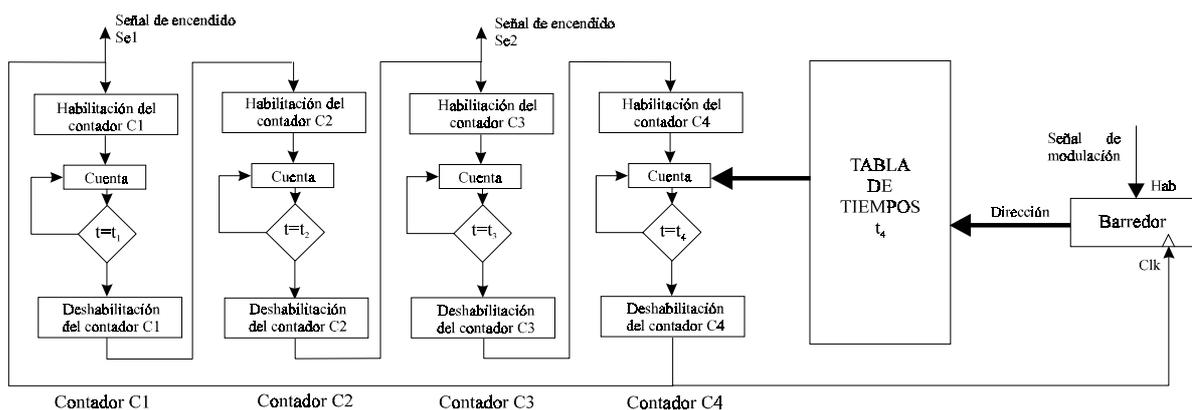


Figura 5.8: Esquema lógico del modulador BPSK escalonado

C1 para ver la secuencia que siguen los contadores del temporizador. Estando C1 habilitado, el contador permanece en un pequeño lazo contando, mientras el valor de tiempo sea menor a  $t_1$ . Cuando C1 llega al valor de  $t_1$  éste se deshabilita deteniendo su cuenta. Seguidamente se habilita el contador C2 y comienza su cuenta, hasta que alcanza el valor igual a  $t_2$ . Al finalizar la cuenta, al igual que con C1, el contador C2 se

deshabilita y posteriormente habilita el contador C3. Una vez que el contador C3 finalizada la cuenta de  $t_3$ , se deshabilita y habilita a C4. Cuando C4 llega a  $t_4$ , éste se deshabilita y seguidamente habilita al contador C1, completando así una secuencia del temporizador. Como vemos en la fig. 5.8 esta secuencia comienza nuevamente al finalizar la cuenta de  $t_4$ .

Las señales de encendido son pulsos cuyos anchos están dados por el tiempo  $t_1$  en  $Se1$  y  $t_3$  en  $Se2$ . Precisamente durante estos intervalos de tiempo ambos contadores deben permanecer habilitados para funcionar (no simultáneamente) y deshabilitados cuando el resto de los contadores están funcionando. Por lo tanto podemos tomar directamente las señales de encendido  $Se1$  y  $Se2$  de las habilitaciones del contador C1 y C3, respectivamente.

Los intervalos de tiempo  $t_1$ ,  $t_2$  y  $t_3$  serán valores que no cambian durante el proceso de modulación, por lo tanto los datos de programación para los contadores C1, C2 y C3 se mantendrán fijos en todo momento. Por otro lado el valor de  $t_4$  debe cambiar de valor, para agregar el retardo deseado en un semiciclo de portadora cuando la *señal de modulación* esté presente. Los valores de  $t_4$  para programar el contador C4, son tomados de la *tabla de tiempos* como vemos de la fig. 5.8. Esta tabla es barrida en forma sucesiva por el contador barredor mientras esté habilitado por la señal de modulación correspondiente a un cambio de símbolo. Los avances de cada posición de la tabla están dados por la salida del contador de barrido y el incremento de cuenta de este contador se da cuando el contador C4 finaliza su cuenta. Una vez que la tabla es

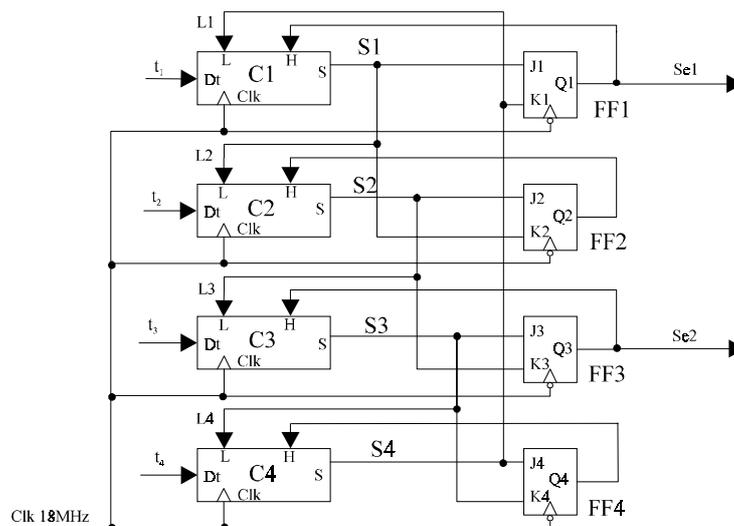


Figura 5.9: Temporizador de cuatro tiempos

barrida, el contador de barrido se debe posicionar en el inicio de la tabla, esperando una nueva señal de modulación. En ausencia de señal de modulación el barredor permanece inactivo, apuntando al valor de  $t_4$  necesario para generar la portadora sin modulación.

### 5.3.3 Síntesis del modulador BPSKE

Implementar el modulador BPSKE se reduce a sintetizar mediante un circuito lógico, el temporizador de cuatro tiempos, con los contadores C1 a C4, empleando un dispositivo FPGA de XILINX [61]. La síntesis de la tabla de tiempos  $t_4$  se realiza simplemente empleando una memoria mientras que el contador de barrido se realiza empleando un contador comercial implementado en la misma FPGA.

En la fig. 5.9 observamos el temporizador de cuatro tiempos sintetizado por contadores sincrónicos binarios (C1, C2, C3 y C4) y flip-flops (FF) del tipo “JK” (FF1, FF2, FF3 y FF4), asociados a cada contador, respectivamente. Los contadores implementados son del tipo comercial disponibles en las librerías de XILINX y que son adaptados a nuestra necesidad (Apéndice C). En ellos se indican la línea de entrada “ $Dt$ ” en donde se ingresa el valor del tiempo en que el contador debe contar, la línea de salida “ $S$ ” que indica el fin de cuenta del contador, usada para la habilitación y deshabilitación de los respectivos contadores y finalmente las líneas de control “ $L$ ” que permite la carga del tiempo programado en el contador y “ $H$ ” que es la línea de habilitación del contador.

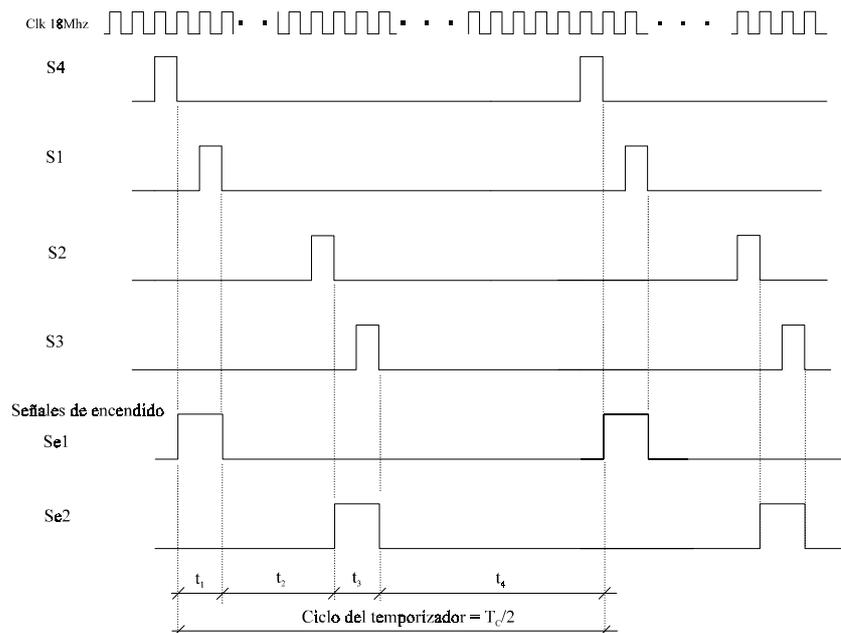


Figura 5.10: Señales de encendido para las llaves del inversor

También se observa la entrada de reloj “Clk”, que sincroniza los contadores. La frecuencia de reloj ha sido determinada en la sección 5.3.1, en 18Mhz.

### **5.3.3.1 Funcionamiento del temporizador de cuatro tiempos**

La función de cada contador es contar durante el tiempo para el cual fue programado. Cada FF está para habilitar y deshabilitar a su contador asociado. En forma general, cuando un pulso sobre la línea de control “L” está presente, el contador carga el tiempo correspondiente, desde la entrada “Dr”. El contador no está habilitado aún para contar, sino hasta el próximo semiciclo de Clk en donde la salida del FF asociado a éste, cambia el estado de la línea de habilitación. El contador comienza su cuenta y lo hace hasta llegar a su valor programado. En ese instante aparece un pulso sobre la salida “S”, indicando el fin de la cuenta. Este pulso activa la línea “L” del contador siguiente (cargando su respectivo tiempo) y en el próximo semiciclo de Clk, deshabilita su propio contador y habilita al contador siguiente. En la fig. 5.10 podemos observar la secuencia temporal de cada una de las salidas de los contadores  $S1$ ,  $S2$ ,  $S3$  y  $S4$  que definen los intervalos de tiempos  $t_1$  a  $t_4$  en un semiciclo de la portadora. También vemos en la figura las señales de encendido  $Se1$  y  $Se2$ . Como lo dijimos en la sección 5.3.2.1 son obtenidas directamente de las líneas de habilitación de los contadores C1 y C3 respectivamente, como se ve de la fig. 5.9.

### **5.3.3.2 Dimensionamiento del modulador BPSKE**

En esta sección dimensionamos los contadores C1 a C4 del temporizador y el contador de barrido, para ser implementados en una FPGA. Hemos definido a los intervalos de tiempo  $t_1$  y  $t_3$ , como los tiempos muertos entre las excitaciones a las llaves del convertidor, fig. 5.7. En el capítulo 4 hemos visto que para optimizar el funcionamiento del CMRC como amplificador de RF, las cuatro llaves del convertidor deben ser encendidas con ZVS. En esta condición de operación las llaves comienzan a conducir a través de sus diodos de rueda libre. Por esta razón es adecuado implementar tiempos muertos, entre 100nseg y 200nseg. Como la frecuencia de clk del modulador ha sido elegida en 18Mhz, es suficiente implementar C1 y C3 con un contador de dos bit, por contador. El retardo de  $Se2$  respecto de  $Se1$  esta dado por la suma de  $t_1$  más  $t_2$ . Este retardo es fijo (con la modulación) e igual a  $T_C/6$  (fig. 5.7). Definido los rangos de tiempo para  $t_1$ ,  $t_2$  debe completar la suma de tiempos, tal que resulte siempre  $T_C/6$ . Para esto es suficiente implementar el contador C2, de tres bits. La suma de los tiempos  $t_3$

más  $t_4$ , da el tiempo de aparición de un pulso de tensión  $v_{ab}$  (fig. 5.7). Si la portadora no está modulada,  $t_3$  más  $t_4$  debe ser igual a  $T_C/3$ , correspondiente a 20 de ciclos de clk. Suponiendo a  $t_3$  nulo (caso muy extremo en que no se tiene tiempo muerto entre llaves) y sin modulación,  $t_4$  requiere de un contador de 5 bits como mínimo, para poder contar 20 ciclos de reloj. Considerando que el espacio óptimo en el diseño de un prototipo que emplea un FPGA está entre un 70 a 80% del máximo de capacidad [61], dimensionando a C4 con un contador de 5 bit (mínimo tamaño necesario del contador), estamos empleando un 60% del FPGA elegido (Apéndice C). La frecuencia de reloj fue elegida tal que cada ciclo de reloj corresponde a un desplazamiento mínimo de fase de  $6^\circ$  por semiciclo de portadora, así en 30 semiciclos queda un desplazamiento total de  $180^\circ$ . Para BPSKE con escalonamiento lineal (fig. 5.6)  $t_3$  más  $t_4$  deberá ser iguala a 21 ciclos de reloj, siendo suficiente el contador de 5 bits para  $t_4$ . El máximo escalonamiento posible para la modulación BPSKE o máximo retardo que podemos implementar con el contador C4, por cada período (o ciclo) de portadora, es aproximadamente en un  $1/8$  del período. Si deseáramos aumentar este límite, entonces es necesario aumentar el tamaño del contador C4.

El tamaño de la tabla de tiempos  $t_4$  está definido por la cantidad de semiciclos de portadora empleados para realizar BPSKE. Hemos adoptado 30 semiciclos de portadora,

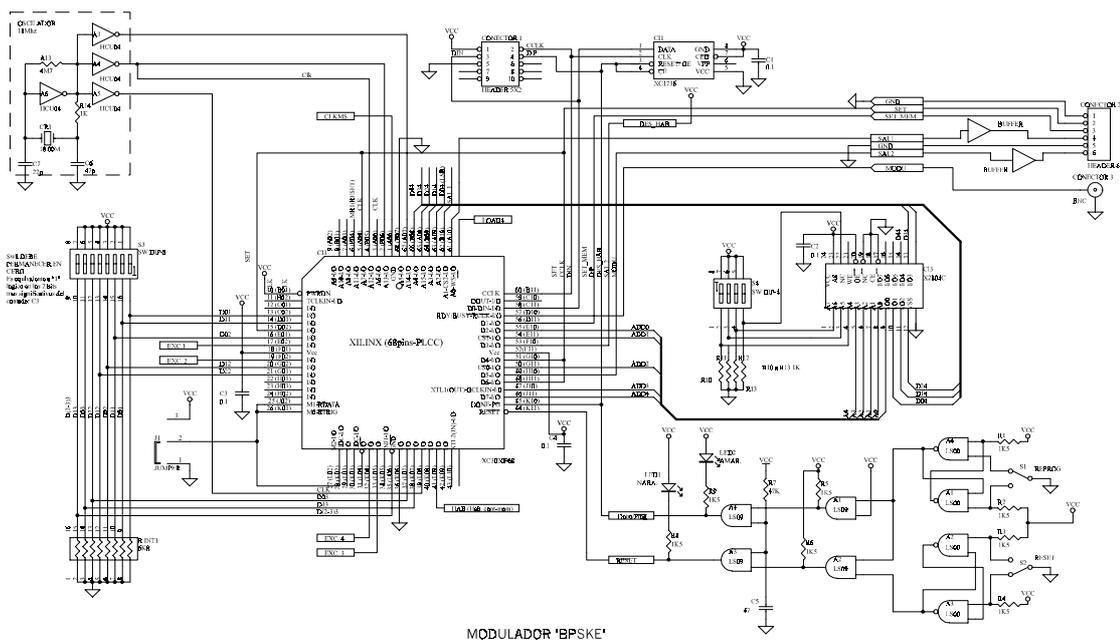


Figura 5.11: Modulador BPSKE

por lo tanto la tabla debe poseer como máximo, treinta datos para el tiempo  $t_4$ . El tamaño del dato debe ser igual al tamaño del contador C4. El contador de barrido que está encargado de direccionar cada dato de la tabla, deberá ser como mínimo de 5 bits. La implementación de este contador junto con los circuitos asociados para al habilitación con la señal de modulación, pueden verse en el Apéndice C.

El contador de barrido junto con la lógica asociada para su habilitación con la señal de modulación y los contadores C1 a C4 del temporizador, son implementados en el FPGA XC3020 de 70MHz (Apéndice C). La tabla de datos para  $t_4$  es implementada en una memoria externa reprogramable. En la fig. 5.11 apreciamos el circuito completo del modulador. Observamos el FPGA, la memoria de carga de programa durante el encendido del FPGA, XC1736, una memoria EEPROM (X2804) en la que se implementa la o las tablas para diferentes perfiles de BPSKE, el oscilador de 18MHz y dos grupos de llaves de selección SW3 y SW4. SW3 permite programar los intervalos de tiempos  $t_1$ ,  $t_2$  y  $t_3$  y SW4 permite seleccionar deiferentes perfiles de modulación.

## 5.4 Resultados experimentales

### 5.4.1 Señales de encendido sin modulación

En la fig. 5.12 presentamos las señales de encendido  $Se1$  y  $Se2$  (en forma invertida) para generar la portadora sin modulación BPSKE, tal como fue previsto en la

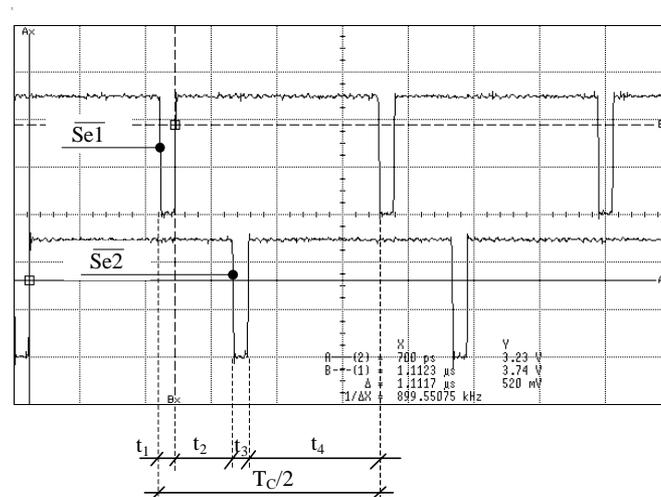


Figura 5.12: Señales de encendido  $Se1$  y  $Se2$  (invertidas)

sec.5.3.3.1, e indicamos los intervalos de tiempos  $t_1$ ,  $t_2$ ,  $t_3$  y  $t_4$ . Las señales de encendido están invertidas para generar a través del un circuito integrado, las excitaciones a cada un de las llaves del convertidor como puede verse en el Apéndice A. Observamos los intervalos de tiempo  $t_1$  y  $t_3$  de aproximadamente igual a 120nseg (correspondiente al tiempo muerto entre las excitaciones de las llaves). También vemos el intervalo  $t_3 + t_4$  de aproximadamente 1.111µseg, equivalente a  $120^\circ$  de la portadora sin modular.

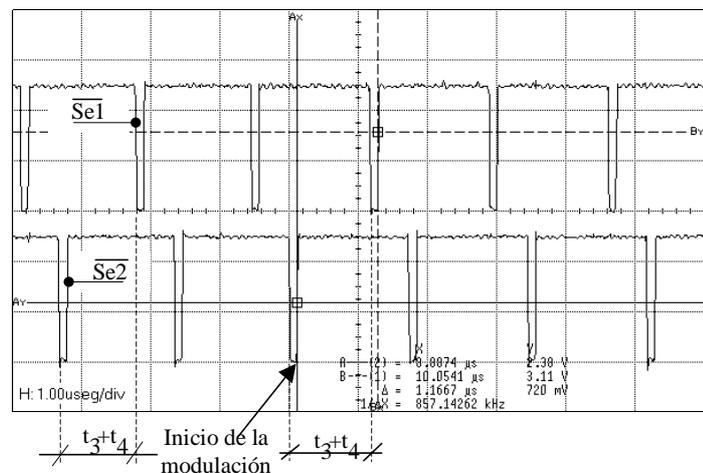
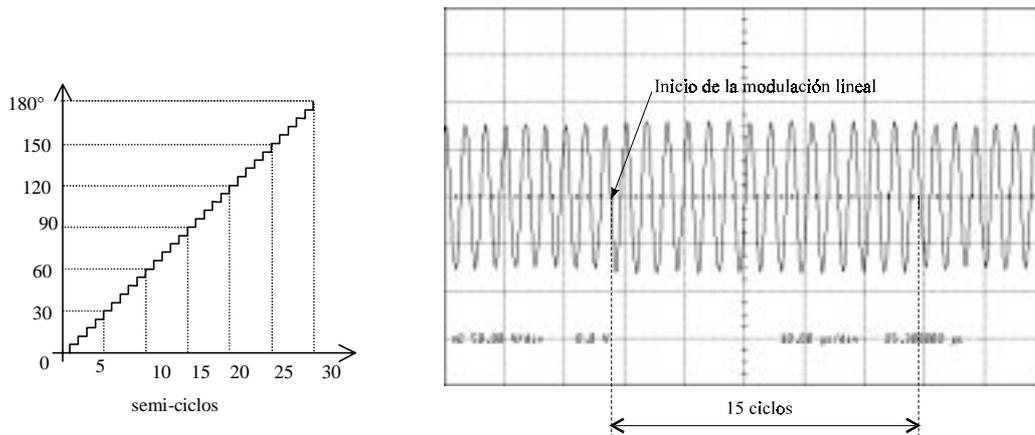


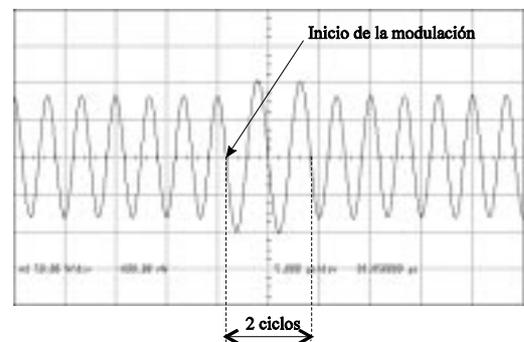
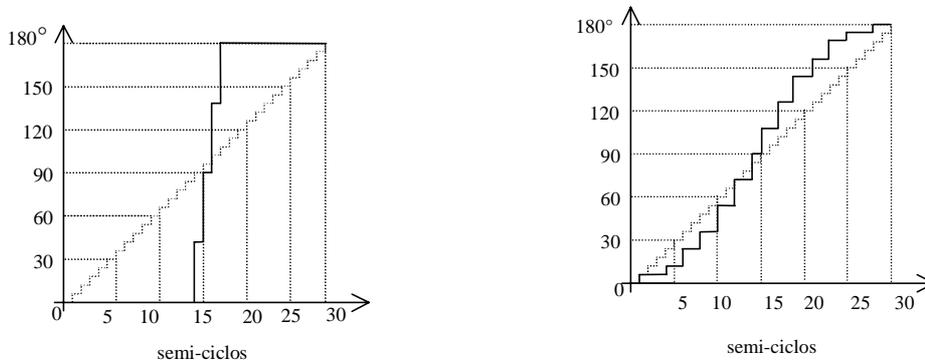
Figura 5.13: Señales de encendido en presencia de una señal de modulación

## 5.4.2 Señales de encendido con modulación BPSKE

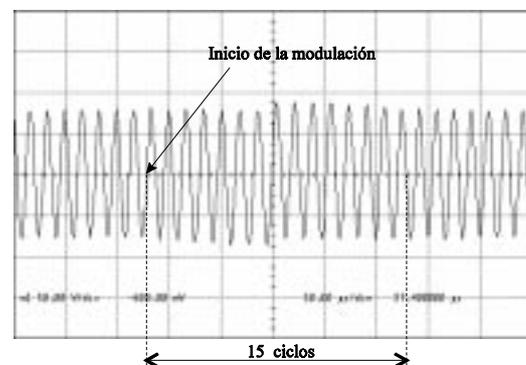
En la fig. 5.13 mostramos las señales de encendido  $Se1$  y  $Se2$ , resultante del modulador BPSKE, con escalonamiento lineal como vimos en la fig.5.6. La modulación BPSK lineal, modula el intervalo de tiempo  $t_4$  introduciendo un retardo de un ciclo de clk(aproximadamente 55nseg), por cada semiciclo de portadora. Vemos en la fig. 5.13 que el intervalo  $t_3 + t_4$  antes del inicio de la modulación, se mantiene igual a 1.111µseg correspondiente a la portadora sin modular. Cuando aparece un cambio de símbolo se inicia la modulación BPSKE como indicamos en la fig. 5.13. A partir de este instante el intervalo de tiempo  $t_3 + t_4$  es incrementado al valor 1.166µseg. Este incremento sobre  $t_4$  introduce  $6^\circ$  de fase por semiciclo de portadora, alcanzando en 30 semiciclos, una fase relativa de  $180^\circ$  correspondiente a un cambio de símbolo.



a) Escalonamiento y forma de onda con BPSKE lineal



b) Escalonamiento abrupto y forma de onda



c) Escalonamiento cosenoidal y forma de onda

Figura 5.14: Formas de onda de tensión con diferentes perfiles de modulación BPSKE

### 5.4.3 Formas de onda para diferentes escalonamientos de fase

En la fig. 5.14 podemos observar las formas de onda de tensión generadas con el CMRC durante el proceso de modulación BPSKE, para diferentes escalonamientos de la fase. Las mismas son obtenidas en la implementación conjunta del prototipo de la fig. 4.6, con el modulador BPSKE de la fig. 5.11. Las mediciones están hechas empleando

como carga una antena fantasma de  $50 \Omega$  de impedancia. A la izquierda de la fig. 5.14a) mostramos el cambio de fase de la portadora visto en la sección previa, donde la fase se desplaza  $\pi/30$  radianes ( $= 6^\circ$ ) por cada semiciclo, hasta alcanzar la fase relativa completa de  $\pi$  radianes. La forma de onda resultante se observa a la derecha donde podemos ver el cambio de fase deseado, observando la cantidad de ciclos que entran por cada división del oscilograma, antes y después del proceso de modulación. Antes del inicio de la modulación se aprecian cuatro ciclos de portadora por división, observando las crestas positivas de la senoide. Después de 15 ciclos de portadora necesarios para el cambio de fase, se ven cuatro ciclos por división pero contados con las crestas negativas de la senoide, dando cuenta del cambio de fase en  $\pi$  radianes de la portadora. La fig. 5.14b) muestra un escalonamiento abrupto, empleando solamente dos ciclos de portadora como se ve en el perfil sobre el oscilograma. En el primer semiciclo de portadora la fase se desplaza en  $42^\circ$ , en los dos próximos semiciclos, en  $48^\circ$  y el último desplazamiento es de  $42^\circ$ . También aquí podemos observar el cambio en  $\pi$  radianes en la fase de la portadora, mirando el número y signo de las crestas por cada división del oscilograma, antes y después de la modulación. En la fig. 5.14c) mostramos el caso de un escalonamiento coseo elevado y la forma de onda resultante.

Si observamos las formas de onda resultante en los tres casos de escalonamiento de la fase, podemos apreciar un incremento de la amplitud de la portadora durante el proceso de modulación. Como hemos visto en secciones previas la modulación BPSKE es el resultado de incrementar los intervalos de pulsos de la tensión  $v_{ab}$ , a través de incrementar el intervalo de tiempo  $t_4$ . Esta acción trae apareados dos efectos que producen este incremento de la tensión resultante. El aumento del intervalo de tiempo  $t_4$  genera un aumento del ciclo de trabajo de la tensión  $v_{ab}$  aumentando la amplitud de la componente fundamental. Otro efecto que se suma al aumentar el intervalo de tiempo  $t_4$  es una reducción de la frecuencia de transmisión. Durante el intervalo de modulación podemos hablar de una frecuencia equivalente que será igual de la frecuencia de portadora más un decremento igual a la derivada de la fase. En el caso de un perfil lineal este decremento es constante. Recordando que el filtro está diseñado con una frecuencia de corte igual a la de portadora (o conmutación, capítulo 4), al reducir la frecuencia de la portadora por debajo de la de corte, la ganancia del filtro se eleva. Esto contribuye a un aumento de la amplitud a la salida del transmisor, durante la transición de la fase. Al hacer una modulación BPSKE lineal, los retardos en los ciclos de transición son iguales

y muy cortos y se puede apreciar un incremento muy leve de la amplitud, durante el cambio de fase. Este efecto es mucho más notorio en el caso de variación abrupta de la fase donde los incrementos de los pulsos de tensión  $v_{ab}$ , son mucho mayores que en los casos lineal y cosenoidal. En el caso del perfil cosenoidal hemos introducido desplazamientos de fase solamente en los semiciclos positivos (o negativos), durante la primer mitad del proceso de modulación y luego introducimos los restantes desplazamientos de fase, en los semiciclos negativos (o positivos), para evitar saturaciones del núcleo del transformador aislador. Como resultado la amplitud de la portadora crece solamente sobre el semiciclo en donde establecemos el desplazamiento de fase.

#### 5.4.4 Espectros resultantes con modulación BPSKE

En esta sección mostramos los espectros resultantes sobre un CMRC bajo modulación BPSKE, para los tres perfiles vistos: abrupto (NRZ), lineal y coseno elevado. Las mediciones están realizadas sobre una antena fantasma a la salida del transmisor y con un pulso modulador de 5 mseg. de duración (correspondiente a información de 200 bit/seg). La forma temporal del pulso modulador (NRZ) y su densidad espectral, pueden verse en la fig. 5.15. En la figura también mostramos la densidad espectral de la señal de modulación. En la fig. 5.16 mostramos los espectros resultantes para cada uno de los perfiles de escalonamientos. La fig. 5.16 a) corresponde al perfil abrupto de cambio de fase, que puede tomarse como un caso muy próximo de BPSK, la fig. 5.16b) corresponde a un cambio de fase lineal y la fig. 5.16c) corresponde al perfil cosenoidal. Podemos apreciar en cada caso que el espectro resultante en las cercanías de la frecuencia de portadora (aproximadamente en 300KHz), presenta lóbulos con igual separación en frecuencia e igual amplitud relativa que los lóbulos de la señal banda base, como vemos en detalle en cada espectrograma. En cambio, existe

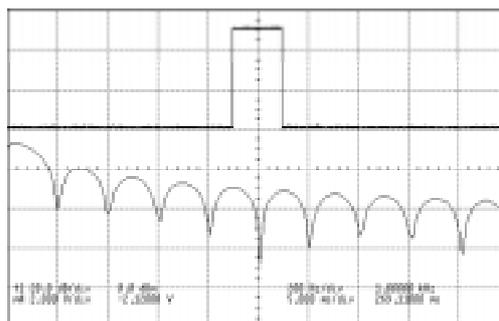
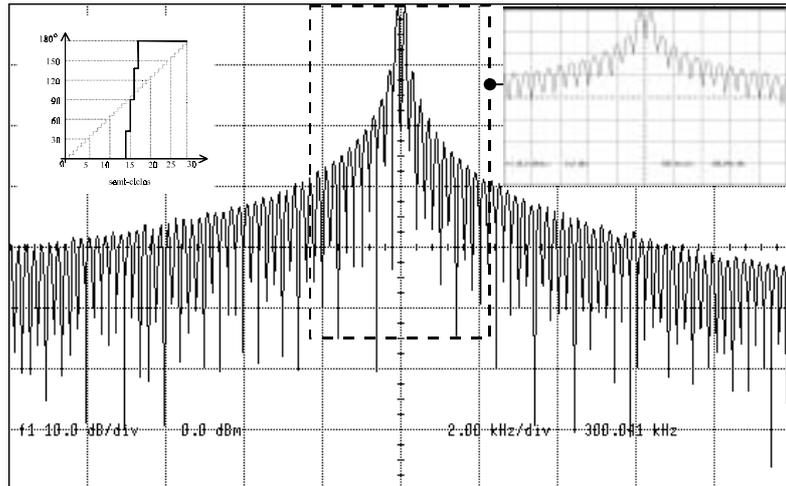


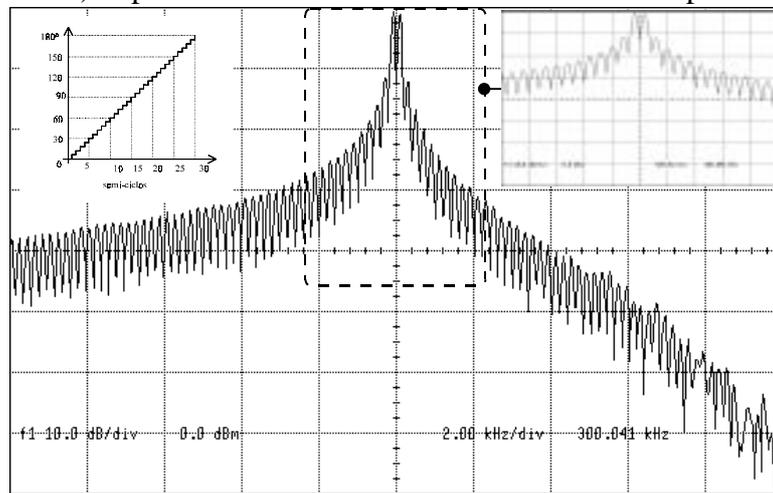
Figura 5.15: Señal moduladora de prueba

---

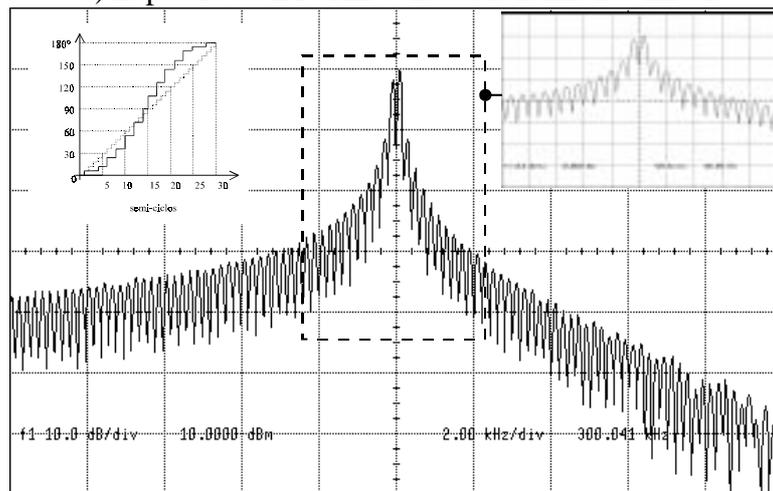
una gran diferencia en los espectros en alta frecuencia. Tanto la modulación lineal como la coseno elevado presentan una mayor atenuación a altas frecuencias, siendo ambas mucho menos nocivas para las bandas de radio difusión adyacentes, que BPSK (NRZ). La razón de estos resultados es que las transiciones de los pulsos con fase lineal y coseno elevado son mas suaves y entonces generan menor cantidad de energía en altas frecuencias. En esta experiencia la cantidad de ciclos propuesta para el escalonamiento de la fase, no es lo suficientemente alta con relación a la duración del pulso (5 mseg.) como para atenuar el espectro en las cercanías de la frecuencia de portadora en forma sensible. Si bien estas transiciones no permiten el cumplimiento de la norma, lo importante a destacar de los resultados mostrados, es que la modulación BPSKE sobre un CMRC es posible de ser implementada, manteniendo al convertidor en condiciones óptimas de operación (modo A) y resultando un equipo completamente integrado. Para ajustar el ancho de banda y cumplir con la norma, debemos incrementar el número de ciclos de portadora empleados en la transición de un símbolo a otro. Esto se logra incrementando el módulo del contador de tiempos  $t_4$ . Aumentando el módulo del contador C4 a 7 bits y con un clock de 90Mhz emplearíamos 300 ciclos de portadora por transición, lo que mejoraría el espectro resultante prácticamente hasta los valores requeridos. Para esto debemos emplear un FPGA de generación más reciente, como ser la serie 4000 de Xilinx o superiores.



a) Espectro de BPSKE con escalonamiento abrupto



b) Espectro de BPSKE con escalonamiento lineal



c) Espectro para BPSKE con escalonamiento cosenoidal

Figura 5.16: Espectros resultantes de BPSKE para diferentes perfiles